

DELPHION**RESEARCH****PRODUCTS****INSIDE DELPHION**

My Account

Search: Quick/Number Boolean Advanced De

The Delphion Integrated ViewGet Now: ☒ PDF | File History | Other choices

Tools: Add to Work File: Create new Work

View: INPADOC | Jump to: Top

Ema

Title: **JP63288355A2: MULTI-PROCESSOR SYSTEM**

Country: JP Japan

Kind: A (See also: JP02698074B2)

Inventor: ASAMURA MITSURU;

Assignee: NIPPON TELEGR & TELEPH CORP <NTT>
News, Profiles, Stocks and More about this company

Published / Filed: 1988-11-25 / 1987-05-21

Application Number: JP1987000122495

IPC Code: Advanced: G06F 11/20; G06F 15/16; G06F 15/177;
Core: more...
IPC-7: G06F 11/20; G06F 15/16;

Priority Number: 1987-05-21 JP1987000122495

Abstract: PURPOSE: To suppress deterioration of the service quality by adopting two logic of a fact that station data of all processors are returned to before updating and that the processing is suspended when the system processing has detected a discrepancy on the way, and limiting a range in which the processing is suspended.

CONSTITUTION: Processors P0...PM are connected mutually by a bus. Managing station data of a terminal (TYP) and a communication line (LN) are data for showing a position of a containing processor of the TYP and the LN, and stored in a main memory (MM) of the processor. When a fault is generated in the processor P0, only the P0 suspends the system processing, and other processors continue the system processing, and return the station data to before changing. When the station data is returned, if there is a system processing which causes discrepancy due to the use of the LN1, only its processing is suspended, and other system processing is continued.

COPYRIGHT: (C)1988,JPO&Japio

INPADOC

None

Get Now: Family Legal Status Report

Legal Status:

Family:

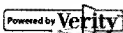
Show 2 known family members

Other Abstract Info:

None



Nominate this for the Gallery...



DELPHION CORPORATION, 10000 DELPHION DRIVE, SUITE 100, DALLAS, TEXAS 75243-1000, USA

DELPHION CORPORATION, 10000 DELPHION DRIVE, SUITE 100, DALLAS, TEXAS 75243-1000, USA

DELPHION CORPORATION, 10000 DELPHION DRIVE, SUITE 100, DALLAS, TEXAS 75243-1000, USA

DELPHION CORPORATION, 10000 DELPHION DRIVE, SUITE 100, DALLAS, TEXAS 75243-1000, USA



Copyright © 1997-2007 The Thomson Group

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#)

⑩ 公開特許公報(A)

昭63-288355

⑤ Int. Cl. ⁴	識別記号	庁内整理番号	④ 公開	昭和63年(1988)11月25日
G 06 F 15/16	4 7 0	S-6745-5B		
11/20	3 1 0	A-7368-5B		
15/16	4 7 0	R-6745-5B	審査請求	未請求
			発明の数	1 (全9頁)

④ 発明の名称 マルチプロセッサシステム

① 特 願 昭62-122495

② 出 願 昭62(1987)5月21日

⑥ 発 明 者 浅 村 満 東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会社
 社通信網第一研究所内
 ⑦ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
 ⑧ 代 理 人 弁理士 並木 昭夫 外1名

明 細 書

1. 発明の名称

マルチプロセッサシステム

2. 特許請求の範囲

1) 各プロセッサが各々のメインメモリ上にシステムの目的とする処理(例えば交換システムであれば交換処理、以後システム処理と呼ぶ)を実行するために必要なシステム構成条件を渡すデータ(以後局データと呼ぶ)を持ち、またファイルメモリ上にプロセッサ初期設定時の局データを持ち、プロセッサ障害時には自動的にこのファイルメモリ上の局データをメインメモリにローディングすると共に初期設定を行うマルチプロセッサシステムにおいて、

複数プロセッサが個別に持つ局データをプロセッサ毎に順次変更中に、局データ変更済または変更中のプロセッサで障害が発生した場合に、①該プロセッサは、処理を中止しファイルメモリ上の変更前の局データをメインメモリにロードすることで局データを変更前に戻すと共に、初期設定を

行ない、該プロセッサ以外のプロセッサはシステム処理を中止せずにファイルメモリ上の変更前局データをメインメモリにロードし局データを変更前に戻すだけで初期設定は行わず、②全てのプロセッサのシステム処理は局データに矛盾のあることを見出した場合のみその処理を中止することとを特徴とするマルチプロセッサシステム。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、マルチプロセッサシステムにおいて局データをシステム処理を中止することなく変更可能にする方式に係わり、詳しくは、各々のプロセッサが個別にメインメモリ上に持つ局データを構成条件変更に伴い変更する際に、あるプロセッサで障害等が発生しても、システム処理を中止するプロセッサは、構成条件変更対象設備を使用中のもののみに限定するようにしたマルチプロセッサシステムに関する。

(従来の技術)

各プロセッサが各々のメインメモリ上に局デー

タを持つマルチプロセッサシステムにおいて、システム処理を実行しながらの局データの更新は、各プロセッサの局データを順に書き替えることによって行っている。しかし、書き換え途中で特定プロセッサが障害を起こし、該プロセッサの書き換え処理が中止されて初期化された場合は、該プロセッサのみが書き替わらず変更前の局データを持つこととなるため、プロセッサ間で矛盾を起こし正常なシステム処理が行えなくなる問題がある。このため、従来は局データ変更中に障害等が発生した場合には、全プロセッサを初期化し、処理を全て中止し、無効とすることにより対処している。したがって、1プロセッサのみの障害の場合でも、全プロセッサのシステム処理が中止され、サービス品質が低下する。また、この中断時間はプロセッサ数に比例して伸びるため、プロセッサ数が多い程サービス品質が低下する問題がある。

これを具体例により説明する。

第6図は各プロセッサが各々のメインメモリ上に局データを持つマルチプロセッサシステムを示

している。このシステムは、端末から受けたデータを他の端末または他のシステムに転送するシステム処理を目的とする交換システムを表している。

第7図は通信回線を増設する時点での局データ変更を示している。第8図、第9図はそれぞれ局データ変更時のプロセッサ障害を示している。

これらの図において、P0、P1、P2、P3は、プロセッサであり、バスにより相互に接続されている。MMは各プロセッサのメインメモリであり、TYP0、TYP1は、このシステムに接続された端末であり、LN0、LN1は、このシステムと他システムを接続する通信回線でありLN1は増設しようとする通信回線を示す。

TYP管理局データ、LN管理局データは、各TYP、LNの収容プロセッサ位置を示す局データである。全てのプロセッサは、これらの局データをメインメモリMM上に持ち、これらのデータを参照することによりデータ転送等のシステム処理を行う。

また、第8図、第9図の網かけの部分は、障害

の発生したプロセッサ及び、それに伴いサービス中止、初期化されるプロセッサを示す。

第6図のシステムにおいて、プロセッサP0に通信回線LN1を増設することを考える。この場合は第7図に示すように、増設する時点で、各プロセッサ上のメインメモリMMのLN管理局データを順に書き替える。第7図のLN管理局データLN1は書き換えられる局データを示している。

(発明が解決しようとする問題点)

局データ変更中に、プロセッサ障害がP0で発生した場合、第8図に示すようにプロセッサP0のみが初期設定され、ファイルメモリ局データで元に書き換えられたデータつまり変更前のシステム構成条件を要するデータを持つため、プロセッサ間で局データ矛盾を起こす。

具体的な処理例として、P2プロセッサがTYP1端末から他システムに転送するデータを受け取った場合を考える。プロセッサP2が他システムと通信する際にプロセッサP0の増設通信回線

LN1を介して行おうとすると矛盾が起こる。すなわち、プロセッサP2はバスを介してP0にデータを渡すが、P0では局データを参照して自プロセッサ内に通信回線が無いと判断するため処理できず矛盾を起こす。これを避けるため、従来は局データ変更中にプロセッサ障害が発生した場合に、1プロセッサのみの障害の場合も、第9図に示すように全プロセッサのシステム処理を中止し、全プロセッサを初期化する。このため、その間サービスが中断するのでサービス品質が低下する。また、この中断時間はプロセッサ数に比例して伸びるため、プロセッサ数が多い程サービス品質が低下する問題がある。

本発明の目的は、各プロセッサが各々のメインメモリ上に局データを持つマルチプロセッサシステムにおいて、局データの変更中に障害が発生した場合に、システム処理が中止される障害りしう範囲を構成条件変更対象設備を使用中のものみに限定し、サービス品質の低下を抑制することのできるマルチプロセッサシステムを提供すること

とにある。

〔問題点を解決するための手段〕

上記目的達成のため、本発明では、複数プロセッサが個別に持つ局データをプロセッサ毎に順次変更中に、局データ変更済または変更中のプロセッサで障害が発生した場合に、該プロセッサは、処理を中止しファイルメモリ上の変更前の局データをメインメモリにロードすることで局データを変更前に戻すと共に、初期設定を行ない、該プロセッサ以外のプロセッサはシステム処理を中止せずにファイルメモリ上の変更前局データをメインメモリにロードし局データを変更前に戻すだけで初期設定は行わず、全てのプロセッサのシステム処理は局データに矛盾のあることを見出した場合のみその処理を中止する。

〔作用〕

本発明は、各プロセッサが各々のメインメモリ上に局データを持つマルチプロセッサシステムにおいて、局データを変更する際、プロセッサ障害等により一部のプロセッサの局データの変更に失

敗した場合、①他のプロセッサにおけるシステム処理の中止を伴うことなく、全プロセッサの局データを更新前に戻すことにより、プロセッサ間で矛盾のない状態とする。これにより、以後のシステム処理が矛盾なく続ける環境を提供する。②他のプロセッサにおけるシステム処理の中止を伴うことなく局データを戻したことにより、プロセッサ間にまたがるシステム処理または中断のあるシステム処理で矛盾が発生しうるので、これらの処理は局データに矛盾がある場合を考慮し、矛盾検出時は該処理を中止する。上記の②により、障害等によるシステム処理の中止の範囲を構成条件変更対象設備を使用中のもののみに限定し、サービス品質の低下を防ぐ。

〔実施例〕

第1図は本発明の一実施例を示す説明図であり、第2図乃至第5図は第1図に示した実施例の実現方式を具体的に示す説明図である。

これらの図において、P0、P1、P2、P3、PMは、それぞれプロセッサであり、バスにより

相互に接続されている。MMは各プロセッサのメインメモリであり、PMはファイルメモリであり、TYP0、TYP1は、このシステムに接続された端末であり、LN0、LN1は、このシステムと他システムを接続する通信回線でありLN1は増設しようとする通信回線を示す。

TYP管理局データ、LN管理局データは、各TYP、LNの収容プロセッサ位置を示す局データである。全てのプロセッサは、これらの局データをMM上に持ち、これらのデータを参照することによりデータ転送等のシステム処理を行う。

また、図中の斜かけの部分は、障害の発生したプロセッサ及び、それに伴いサービス中止、初期化されるプロセッサを示す。

本発明方式では、第1図に示すように、①障害となったプロセッサが実行していたシステム処理を中止し該プロセッサのみを初期化し、また、その他のプロセッサについては、システム処理を中止することなく、局データだけを変更前に戻し、②局データを戻した際に増設した通信回線LN1

を使用していたため矛盾を起こしたシステム処理があれば、そのみを中止するだけで、他のシステム処理は続行される。このため、プロセッサ数に関係なくしょう範囲を限定でき、サービス品質の低下が少ない。

第1図の実施例の実現方式を具体的に第2図乃至第4図を用いて示す。第2図乃至第5図は、ファイルメモリ位置、障害検出位置等が異なるものである。

第2図を参照する。個々のプロセッサが自プロセッサのファイルメモリと障害検出機構を持っている場合である。プロセッサ障害検出時は、障害を検出した該プロセッサP0は実行していたシステム処理を中止し、配下のファイルメモリFM上の局データをメインメモリMMにローディングし、局データを変更前に戻し、プロセッサを初期化する。そして他プロセッサP1～P3に障害発生を通知する。障害発生のお知らせを受けた非障害プロセッサP1～P3は、個々のプロセッサ毎に配下のファイルメモリFM上の局データをメインメモリ

MMにローディングし、局データを変更前に戻すが、初期化は行わない。また、全プロセッサは局データ矛盾を見出した時は該処理のみを止める。

第3図を参照する。個々のプロセッサが自プロセッサのファイルメモリと全プロセッサの障害検出機構を持っている場合である。プロセッサ障害検出時は、検出した該プロセッサP0は実行していたシステム処理を中止し、配下のファイルメモリFM上の局データをメインメモリMMにローディングして初期化する。非障害プロセッサP1~P3は、個々のプロセッサ毎に配下のファイルメモリFM上の局データをメインメモリMMにローディングし、局データを変更前に戻す。また、全プロセッサは局データ矛盾を見出した時は該処理のみを止める。

第4図を参照する。プロセッサPMのみが全プロセッサのファイルメモリと障害検出機構を持つ場合である。プロセッサP0の障害検出時は、プロセッサPMが、該プロセッサP0の実行しているシステム処理を中止させ、PM配下のファイル

メモリFM上の該プロセッサ用局データを該プロセッサP0のメインメモリMMに転送し、初期化する。非障害プロセッサP1~P3には、PMが配下のファイルメモリFM上の個々のプロセッサ用の局データを個々のプロセッサのメインメモリMMに転送し、全プロセッサの局データを変更前に戻す。また、全プロセッサは局データ矛盾を見出した時は該処理のみを止める。

第5図を参照する。プロセッサPMが全プロセッサのファイルメモリFMを持ち、個々のプロセッサが障害検出機構を持つ場合である。プロセッサP0の障害検出時は、該プロセッサP0は実行しているシステム処理を中止し、プロセッサPMにPM配下のファイルメモリFM上の該プロセッサ用局データの転送要求を出す。プロセッサPMは転送要求を受けると、該プロセッサP0に局データを転送する。該プロセッサP0は、この局データをメインメモリMM上に転送して初期化し、他プロセッサP1~P3に障害発生を通知する。障害発生を通知を受けた非障害プロセッサP1~

P3は、プロセッサPMにPM配下のファイルメモリFM上の該プロセッサ用局データの転送要求を出す。プロセッサPMは転送要求を受けると、該プロセッサP1~P3に局データを転送する。該プロセッサP1~P3は、この局データをメインメモリMM上に転送し、全プロセッサの局データを変更前に戻す。また、全プロセッサは局データ矛盾を見出した時は該処理のみを止める。

【発明の効果】

以上の説明から明らかな如く、本発明によれば、各プロセッサが各々のメインメモリ上に局データを持つマルチプロセッサシステムにおいて、局データの変更中に障害が発生した場合に、障害発生プロセッサの初期化を除き、他のプロセッサの初期化を行うことなしに、①全プロセッサの局データを更新前に戻すことにより、プロセッサ間で矛盾のない状態とする、②システム処理が処理途中で局データの矛盾を発見した場合は該処理を中止する、③2つの論理を採ることにより、プロセッサ数に関係なくシステム処理が中止される障害り

しょう範囲を限定し、サービス品質の低下を抑制する構成条件変更方式を可能とするマルチプロセッサシステムを提供できる利点がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す説明図、第2図乃至第5図はそれぞれ第1図に示した実施例の実現方式を具体的に示す説明図、第6図はマルチプロセッサシステムの構成例を示す説明図、第7図乃至第9図は従来のプロセッサシステムの本発明に關する動作の態様の説明図、である。

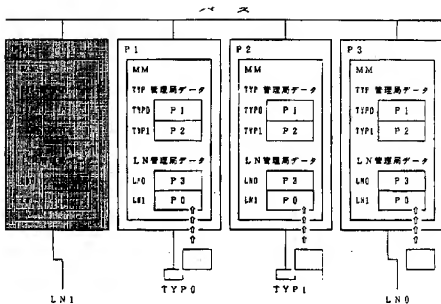
符号の説明

P0, P1, P2, P3, PM…プロセッサ、MM…メインメモリ、FM…ファイルメモリ、TYP0, TYP1…端末、LN0, LN1…通信回線、LN1…増設通信回線、

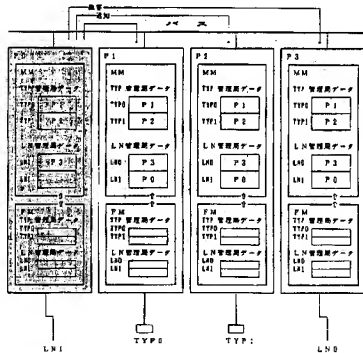
代理人 弁理士 並 木 昭 夫

代理人 弁理士 松 崎 清

第 1 図



第 2 図



図は、プロセッサ稼働時の各データの配置を示す。

第 3 図

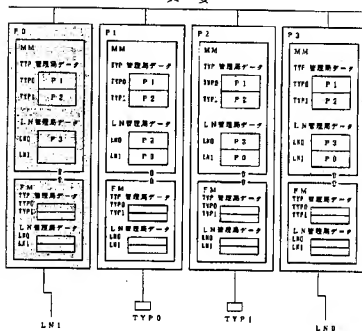


図3は、プロセッサ組立直後の各データのローディングを示す。

第 4 図

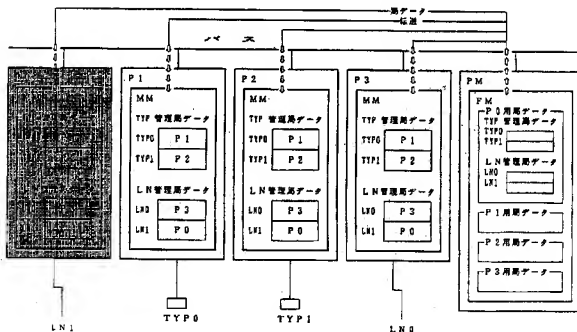
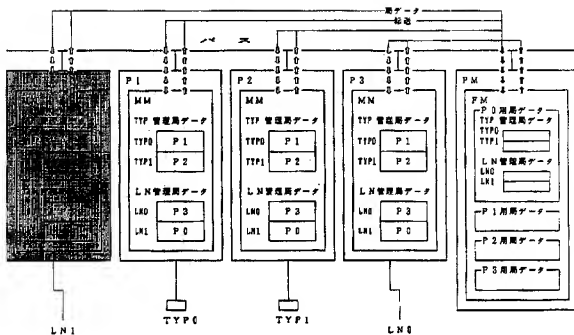


図4は、プロセッサ組立直後の各データのローディングを示す。

第5図



①印は、プログラマ読取時の局データ転送要求を示す。
 ③印は、局データ転送要求時の局データの転送を示す。

第6図

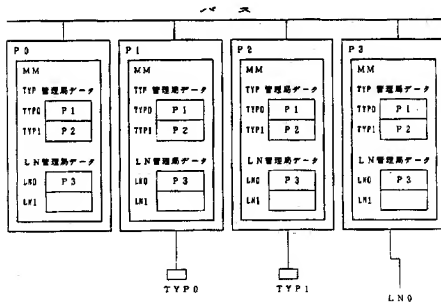


図 7

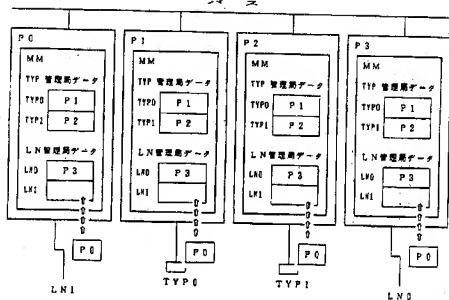
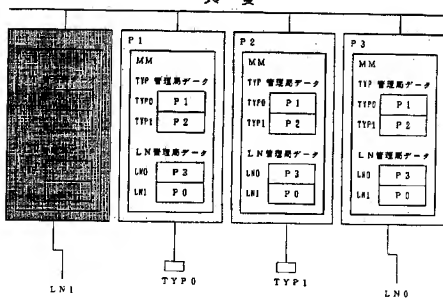


図 8



第 9 図

